

# AC TYPE PDP AND DRIVING METHOD THEREFOR

Publication number: JP9259767

Publication date: 1997-10-03

Inventor: KONNO KEIICHIRO; GUEN TAN NIYAN

Applicant: FUJITSU LTD

Classification:

- international: H01J11/00; G09G3/28; H01J11/00; G09G3/28; (IPC1-7): H01J11/00; G09G3/28

- European:

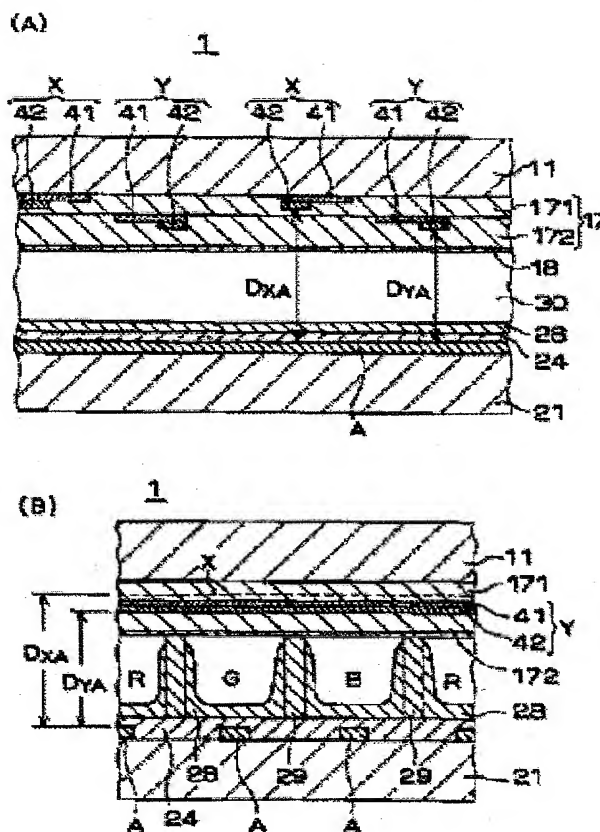
Application number: JP19960063403 19960319

Priority number(s): JP19960063403 19960319

Report a data error here

## Abstract of JP9259767

**PROBLEM TO BE SOLVED:** To enhance a degree of freedom of setting impression voltage in addressing, and improve luminance by an increase in a clearance dimension of a discharge space. **SOLUTION:** In this AC type (plasma display panel)PDP, first and second sustained electrodes X and Y are arranged on a first base board 11, and an address electrode A is arranged on a second base board 21, and they are constituted so as to generate discharge for addressing between the second sustained electrode Y and the address electrode A. In this case, an opposed distance between the second sustained electrode Y and the address electrode A is made smaller than an opposed distance between the first sustained electrode X and the address electrode A. At driving time, in a sustained period, a voltage pulse to generate discharge on which the second sustained electrode Y becomes a negative electrode, is set as a pulse on which front edge voltage transition is gentle.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-259767

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 11/00			H 0 1 J 11/00	C
G 0 9 G 3/28		4237-5H	G 0 9 G 3/28	E

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平8-63403

(22) 出願日 平成8年(1996)3月19日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 今野 景一郎

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72) 発明者 グェン タン ニヤン

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74) 代理人 弁理士 久保 幸雄

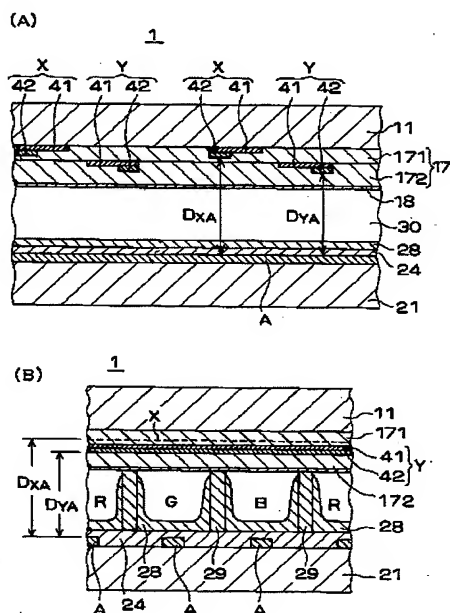
(54) 【発明の名称】 AC型PDP及びその駆動方法

(57) 【要約】

【課題】 アドレッシングにおける印加電圧の設定の自由度を高め、放電空間の間隔寸法の増大による輝度の向上を可能にすることを目的とする。

【解決手段】 第1の基板11上に第1及び第2のサステイン電極X、Yが設けられ、第2の基板21上にアドレス電極Aが設けられており、第2のサステイン電極Yとアドレス電極Aとの間でアドレッシングのための放電を生じさせるように構成されたAC型PDPにおいて、第2のサステイン電極Yとアドレス電極Aとの対向距離を、第1のサステイン電極Xとアドレス電極Aとの対向距離より小さくする。駆動に際して、サステイン期間では、第2のサステイン電極Yが陰極となる放電を生じさせるための電圧パルスを、前縁の電圧遷移が緩やかなパルスとする。

本発明のPDPの内部構造を示す部分断面図



## 【特許請求の範囲】

【請求項1】第1の基板上行方向に延びる第1及び第2のサステイン電極が設けられ、放電空間を介して前記第1の基板と対向する第2の基板上に列方向に延びるアドレス電極が設けられており、前記第2のサステイン電極と前記アドレス電極との間でアドレッシングのための放電を生じさせるように構成されたマトリクス表示形式のAC型PDPであって、

前記第2のサステイン電極と前記アドレス電極との対向距離が、前記第1のサステイン電極と前記アドレス電極との対向距離より小さいことを特徴とするAC型PDP

【請求項2】請求項1記載のAC型PDPによる画面表示に際して、

前記第1のサステイン電極と前記第2のサステイン電極とに対して交互に同一極性の電圧パルスを加えて周期的に放電を生じさせるサステイン期間において、当該第2のサステイン電極が陰極となる放電を生じさせるための電圧パルスを、当該第2のサステイン電極が陽極となる放電を生じさせるための電圧パルスと比べて前縁の電圧移行が緩やかなパルスとすることを特徴とするAC型PDPの駆動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、面放電セルを画定する電極対を有したマトリクス表示形式のAC型のPDP（プラズマディスプレイパネル）及びその駆動方法に関する。

【0002】選択発光に壁電荷を利用するAC駆動形式のPDPの内、特に面放電型PDPは蛍光体によるカラー表示に適しており、ハイビジョン用の大画面表示デバイスとして注目されている。

## 【0003】

【従来の技術】面放電型PDPの電極マトリクスは、ライン方向に延びる複数のサステイン電極対と、列方向に延びる複数のアドレス電極とから構成されている。サステイン電極対は、パネル外囲器を構成する基板対の一方の基板上にライン毎に設けられており、画面全体に広がる誘電体層によって放電空間に対して被覆されている。したがって、サステイン放電は誘電体層の表面に沿ったいわゆる面放電となる。面放電型PDPでは、カラー表示のための蛍光体層が、サステイン電極対を配置した基板と対向する他方の基板上に配置される。これによって、蛍光体層を面放電から遠ざけて、イオン衝撃による蛍光体層の劣化を軽減することができる。通常、アドレス電極は、サステイン電極対との間の容量結合による消費電力の増大を避けるために、蛍光体層を配置した側の基板上に配置される。

【0004】表示に際しては、表示内容に応じて各セル（表示素子）の点灯（発光）／非点灯を設定するアドレッシングに、アドレス電極とサステイン電極対の一方の

サステイン電極とが用いられる。すなわち、 $n$ 本（ $n$ はライン数）のサステイン電極Yに対して1本ずつ順にスキャンパルスを印加することによってライン走査が行われ、放電空間を挟んで交差するサステイン電極とアドレス電極との間での放電（アドレス放電）によって、ライン毎に所定の帯電状態が形成される。アドレッシングの後、サステイン電極対の一方の電極と他方の電極とに対して交互に所定波高値のサステインパルスを印加すると、アドレッシングの終了時点で所定量の壁電荷が存在したセルで面放電（サステイン放電）が生じる。面放電によって放電ガスが紫外線を発し、この紫外線で励起された部分の蛍光体層が発光する。

## 【0005】

【発明が解決しようとする課題】従来においては、アドレス電極とサステイン電極との間でアドレス放電を生じさせるために必要な印加電圧が大きいという問題があった。このため、放電空間の間隙寸法を増大してセルの輝度を高めることが困難であった。特に大画面のPDPでは消費電力が大きいので、一定以上の発光効率を確保するためにセルの輝度を高める必要がある。

【0006】本発明は、アドレッシングにおける印加電圧の設定の自由度を高め、放電空間の間隙寸法の増大による輝度の向上を可能にすることを目的としている。アドレッシングの容易化による電極保護層の劣化を防止することにある。

## 【0007】

【課題を解決するための手段】アドレッシングに用いるサステイン電極（走査用の第2サステイン電極）を、誘電体層の内部で且つ他方のサステイン電極（第1サステイン電極）よりも誘電体層の表面に近い位置に配置することによって、アドレス電極との距離を短くする。誘電体層の厚さを低減すると、壁電荷の帯電特性が損なわれるからである。

【0008】請求項1の発明のPDPは、第1の基板上行方向に延びる第1及び第2のサステイン電極が設けられ、放電空間を介して前記第1の基板と対向する第2の基板上に列方向に延びるアドレス電極が設けられており、前記第2のサステイン電極と前記アドレス電極との間でアドレッシングのための放電を生じさせるように構成されたマトリクス表示形式のAC型PDPであって、前記第2のサステイン電極と前記アドレス電極Aとの対向距離が、前記第1のサステイン電極と前記アドレス電極との対向距離より小さい電極構造のPDPである。

【0009】第2サステイン電極とアドレス電極との距離を短くすれば、アドレス放電は生じ易くなる。ただし、第2サステイン電極を覆う部分の誘電体層が第1サステイン電極を覆う部分よりも薄くなるので、第2サステイン電極が陰極となる放電における電流制限機能が低下する。そのため、放電電流量が過大になり、イオン衝撃（スパッタリング）による電極保護層の劣化が顕著に

なる。したがって、スパッタリングを抑制する工夫が必要である。

【0010】請求項2の発明の駆動方法は、前記第1のサステイン電極と前記第2のサステイン電極とに対して交互に同一極性の電圧パルスを印加して周期的に放電を生じさせるサステイン期間において、当該第2のサステイン電極が陰極となる放電を生じさせるための電圧パルスを、当該第2のサステイン電極が陽極となる放電を生じさせるための電圧パルスと比べて前縁の電圧遷移が緩やかなパルスとするものである。

【0011】例えば、正極性のサステインパルス（電圧パルス）を印加する場合には、第1サステイン電極に対して印加するサステインパルスを、第2サステイン電極に対して印加するサステインパルスよりも立上りの緩やかな波形のパルスとする。逆に、負極性のサステインパルスを印加する場合には、第2サステイン電極に対して印加するサステインパルスを、第1サステイン電極に対して印加するサステインパルスよりも立下りの緩やかな波形のパルスとする。

【0012】立上がり（又は立下り）の緩やかなサステインパルスを印加したときには、電極電位がパルストップ電位（波高値）に達する以前に放電が生じる。つまり、立上がり（又は立下り）の急峻なサステインパルスを印加したときよりも、放電開始時の印加電圧が低い。これによって放電強度（イオンの衝突エネルギー）が小さくなるので、電流制限機能の低下分が補われてスパッタリングが軽減される。

【0013】

【発明の実施の形態】図1は本発明のPDP1の電極マトリクスを示す平面図、図2は本発明のPDP1の内部構造を示す部分断面図である。

【0014】図1のように、PDP1は、互いに平行に延びる第1及び第2のサステイン電極X、Yからなる複数の電極対12と、サステイン電極X、Yと直交する複数のアドレス電極Aとを有する。ガラス基板11、21を接合する枠状の封止材31の内側の領域の内、サステイン電極群とアドレス電極群とが交差する範囲の領域が表示画面（スクリーン）SCである。各電極対12はマトリクス表示の1ライン（行）に対応し、各アドレス電極Aは1列に対応する。つまり、PDP1のセルの電極構造は、電極対12とアドレス電極Aとが交差する3電極構造である。

【0015】図2のように、サステイン電極X、Yは、前面側のガラス基板11の内面上に配列されており、それぞれが透明導電膜41と導電性を確保するための金属膜42とから構成されている。透明導電膜41は、面放電が拡がるように金属膜42より幅の広い帯状にパターンニングされている。これらサステイン電極X、Yを被覆する所定厚（例えば $30\mu\text{m}$ ）の誘電体層17の表面には、耐熱性及び2次電子放出特性に優れたMgO膜18

が蒸着されている。誘電体層17及びMgO膜18の両者が電極保護層である。

【0016】PDP1においては、誘電体層17の厚さ方向の中間位置にサステイン電極Yが埋め込まれている。すなわち、誘電体層17は下層171と上層172とからなり、下層171と上層172との間にサステイン電極Yが配置されている。サステイン電極Yは、サステイン電極Xとの比較の上で下層171の厚さ分だけ放電空間30に近い位置に存在する。下層171の厚さは例えば $15\mu\text{m}$ である。

【0017】背面側のガラス基板21の内面には、アドレス電極A、絶縁層24、平面視直線状（図1参照）の隔壁29、及びR、G、Bの3色の蛍光体層28が順に設けられている。隔壁29は、放電空間30をライン方向にセル毎に区画するとともに、前面側の壁面と当接して放電空間30の間隙寸法を規定する。隔壁29の高さは $150\sim 200\mu\text{m}$ 程度である。蛍光体層28は、発光面積を増大するため、隔壁29の側面を含む背面側の内壁面のほぼ全面を覆うように設けられている。紫外線励起によって蛍光体層28の表層（放電空間と接する面）で発光した可視光の内、ガラス基板11を透過する光が表示光となる。

【0018】表示画面SCのピクセル（画素）は、ライン方向に並ぶ3つのサブピクセル（単位発光領域）からなる。これらサブピクセルの発光色（R、G、B）は互いに異なり、R、G、Bの組み合わせによってカラー表示が行われる。隔壁29の配置パターンはストライプパターンであるので、放電空間30の内の各列に対応した部分は、全てのラインに跨がって列方向に連続している。各列内のサブピクセルの発光色は同一である。

【0019】PDP1による表示に際しては、アドレス電極Aとサステイン電極Yとの間でアドレス放電を生じさせる。アドレス放電の開始電圧を左右する電極間距離、すなわちサステイン電極Yとアドレス電極Aとの対向距離 $D_{AY}$ は、サステイン電極Xとアドレス電極Aとの対向距離 $D_{XA}$ より小さい（ $D_{AY} < D_{XA}$ ）。また、サステイン電極Yを覆う部分の誘電体層17は、サステイン電極Xを覆う部分の誘電体層17よりも薄い。これらのことから、PDP1では従来の構造の場合と比べて低い印加電圧でアドレス放電が生じる。

【0020】次にPDP1の駆動方法を説明する。図3は印加電圧の波形図である。1画面（1シーン）には例えば1つのフィールドを対応づける。ただし、テレビジョンのようにインタレース形式で走査された画面を再生する場合には、1画面の表示に2つのフィールドを用いる。

【0021】階調表示を行うためにフィールドを例えば6～8個程度のサブフィールドs fに分割する。各サブフィールドs fは、リセット期間TR、アドレス期間TA、及びサステイン期間TSからなる。各サブフィール

ドsfの輝度に適切な重み付けをして、各サブフィールドsfのサステイン期間TSにおける発光回数を設定する。各サブフィールドsfは1つの階調レベルの画面表示期間である。

【0022】リセット期間TRは、それ以前の点灯状態の影響を防ぐため、表示画面SCの壁電荷の消去（全面消去）を行う期間である。全てのラインのサステイン電極Xに面放電開始電圧 $V_{f_{xy}}$ を越える波高値の書込みパルスPWを印加し、同時に全てのアドレス電極AにパルスPaw（書込みパルスPWと同極性）を印加する。書込みパルスPWの立上りに応じて全てのラインで強い面放電が生じ、誘電体層17に一旦、壁電荷が蓄積する。その後、書込みパルスPWの立下りに応じて、壁電荷によるいわゆる自己放電が生じ、誘電体層17の壁電荷が消失する。パルスPawは、背面側の帯電及びイオン衝撃を抑えるために印加される。

【0023】アドレス期間TAは、ライン順次のアドレッシングを行う期間である。全てのサステイン電極Xを接地電位に対して正電位 $V_{ax}$ にバイアスし、全てのサステイン電極Yを負電位 $V_{sc}$ にバイアスする。この状態で、先頭のラインから1ラインずつ順に各ラインを選択し、サステイン電極Yに負極性のスキャンパルスPyを印加する。ラインの選択と同時に、点灯（発光）すべきセルに対応したアドレス電極Aに対して、波高値Vaの正極性のアドレスパルスPaを印加する。選択されたラインにおいて、アドレスパルスPaの印加されたセルでは、アドレス放電が起こる。サステイン電極XがアドレスパルスPaと同極性の電位にバイアスされているので、そのバイアスでアドレスパルスPaが打ち消され、サステイン電極Xとアドレス電極Aの間では放電は起きない。

【0024】サステイン期間TSは、階調レベルに応じた輝度を確保するために、アドレッシングによって設定された点灯状態を維持する期間である。背面側の帯電を防止するため、全てのアドレス電極Aを正極性の電位にバイアスし、最初に全てのサステイン電極Yに波高値Vsの正極性のサステインパルスPsを印加する。その後、サステイン電極Xに対するサステインパルスPsxの印加とサステイン電極Yに対するサステインパルスPsの印加とを交互に繰り返す。サステインパルスPsx、Psを印加する毎に、アドレス期間TAの終了時点で所定の壁電荷が存在したセルで面放電（サステイン放電）が生じ、壁電荷の極性が反転する。

【0025】ここで、サステイン電極Yを陰極とするサステイン放電を生じさせるためのパルス、すなわちサステイン電極Xに印加するサステインパルスPsxは、サステイン電極Yを陽極とするサステイン放電を生じさせるためのサステインパルスPsと同じく波高値Vsの正極性の電圧パルスである。ただし、サステインパルスPsxの立上りはサステインパルスPsよりも緩やかで

ある。このようにサステインパルスPsxの波形を意図的に立上りの鈍い波形とすることにより、誘電体層17におけるサステイン電極Yを覆う部分に対するイオン衝撃を緩和することができる。

【0026】図4はサステイン期間における実効電圧の波形図である。図4(A)はサステインパルスPsを印加した場合の例を示し、図4(B)はサステインパルスPsxを印加した場合の例を示す。

【0027】図4(A)のようにサステイン電極X、Y間の実効電圧（セル電圧ともいう）Veffは、サステインパルスPsの印加によって壁電圧Vwallから急激に上昇して面放電開始電圧 $V_{f_{xy}}$ を越える。セルには充電電流が供給される。立上がり時間は数十ナノ秒程度である。サステインパルスPsの立上がりから若干遅れて面放電が生じる。このとき、実効電圧Veffは最大値に達しており、放電強度は比較的に大きい。実効電圧Veffは以前の反対極性の壁電荷の蓄積にともなって降下し、サステインパルスPsの立上りに応じてその極性が反転する。

【0028】一方、図4(B)のように、サステインパルスPsxを印加した場合には、実効電圧Veffは壁電圧Vwallから緩やかに上昇する。そして、実効電圧Veffが面放電開始電圧 $V_{f_{xy}}$ を越えた時点から若干遅れて面放電が生じる。この場合は実効電圧Veffが最大値に達する以前の段階で面放電が生じるので、放電強度は比較的に小さい。

【0029】図5は駆動回路の要部の構成を示す図である。サステイン電極X、Yのバイアス電位は、スイッチング回路110、120によって接地電位とサステイン電位(Vs)とに切換えられる。スイッチング回路110、120には図示しないコントローラから切換え制御信号が入力される。

【0030】サステイン電極Yは、スイッチング回路120の出力端子と直接に接続されている。一方、サステイン電極Xは、抵抗115を介してスイッチング回路110の出力端子と直接に接続されている。抵抗115が介在する分だけ電圧遷移の時定数が増大し、サステインパルスPsxの立上りがサステインパルスPsよりも緩やかになる。

【0031】上述の実施形態において、サステイン電極Yを放電空間30に近づけてアドレス放電を生じ易くした分だけ放電空間30の間隙寸法を増大することができる。その場合には、アドレス放電を生じさせるために従来と同程度の電圧を印加する必要があるが、面放電が拡がり易くなり、しかも隔壁29の高さが増大する分だけ蛍光体層28の配置面積を増大することができるので、輝度及び発光効率を高めることができる。

【0032】

【発明の効果】請求項1の発明によれば、アドレス放電を生じさせるための駆動電圧の設定の自由度を高めるこ



【図4】

サステイン期間における実効電圧の波形図

